INTER-PROCESSOR COUPLING SYSTEM

Publication number: JP1044571 (A)

Publication date: 1989-02-16

Inventor(s): KAWAMURA RYOSAKU +

Applicant(s): OMRON TATEISI ELECTRONICS CO +

Classification:

- international: G06F13/38; G06F15/16; G06F15/167; G06F5/06; G06F13/38; G06F15/16;

G06F5/06; (IPC1-7); G06F13/38; G06F15/16; G06F5/06

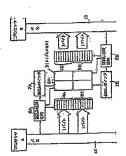
- European:

Application number: JP19870201105 19870812

Priority number(s): JP19870201105 19870812

Abstract of JP 1044571 (A)

PURPOSETo Improve coupling efficiency by coupling between the 1st and 2nd processors through an FIFO capable of shifting two or more data in a parallel state by the prescribed number of steps. CONSTITUTION: The FIFO memory 3 capable of shifting two 1-byte data in the parallel state by two steps is connected between the system but 1A of the processor A and the system but 1B of the processor B. A write control circuit 8A controls data writing from the processor A to writing side latches 44, SA and data writing from the latches 4A, to the FIFO memory A. Here TO memory did to reading side latches 4B, 5B, are might be supposed to the state of the system but 1B of the state of t



Data supplied from the espacenet database - Worldwide

⑩日本国特許庁(JP)

@ 特許出頭公開

@ 公 開 特 許 公 報 (A) 昭64-44571

@Int,CI,1

維別記号

庁内整理番号

@公開 昭和64年(1989)2月16日

G 06 F

340

V-6745-5B

審査請求 未請求 発明の数 1 (全8頁)

の発明の名称 プロセツサ間結合方式

2059 図 四62-201105

②出 関 昭62(1987)8月12日

京都府京都市右京区花開土紫町10番地 立石電機株式会社

京都府京都市右京区花园土堂町10番地

立石電機株式会社 60代,理人 弁理士 和田 成則

1. 疑明の名称

プロセッサ間結合方式

2、特許論求の範囲 (1) 第1のプロセッサシステムと第2のプロセ・ ッサシステムとの間に2以上のデータを並列状態 のままで所定段数だけシフト可能なFIFOメモ

該F I FOメモリの入力側各データボートには 第1のプロセッサシステムのアドレス空間内のア ドレスを割付ける一方、出力侵名データボートに は第2のプロセッサシステムのアドレス空間内の

該FIFOメモリを適宜にシフトさせることに より、第1のプロセッサシステムから第2のプロ セッサシステムへと2以上のデータを並列かつ非 問期に転送すること、

を物徴とするプロセッサ顕結合方式。

3. 発明の詳細な説明 《発明の分野》

アドレスを割付け、

この発明は、マルチプロセッサシステムに好適 なプロセッサ間結合方式に関する。 《発明の標要》

この発明では、第1のプロセッサシステムと第 2'のプロセッサシステムとの間を、2以上のデー タを並列状態のままで所定段数だけシフト可能な FIFOメモリを介して結合し、両フロセッサ間 ・ を効率及く結合したものである。

《従来技術とその問題点》

従来、マルチプロセッサシステム停に適用され るプロセッサ間結合方式としては、第5箇に示さ れるように、同一の大きさのアドレス空間を、両 プロセッサ間で共有するいわゆる共有メモリ方式 が一般的である。

しかしながら、この様な共有メモリ方式にあっ ては、大量のデータを共有する必要がある場合に は、共有メモリ空間を広く確保せねばならず、そ の結果共有メモリ空間以外に使用可能な空間が充 分に確保できないこと、片方のプロセッサが共有 メモリをアクセス中のときには、他方のプロセッ サは共有メモリをアクセスできないこと、共有メ モリ空間として確保できる最大範囲は、プロセッ サがアドレスできる範囲によって制設されてしま うことなどの職類点があった。

また、第6回に示されるように、共有メモリ内 において、待ち行列処理が必要な場合には、待ち 行列処理のための機能なソフトウェアが必要とを ること、一方のプロセッサが待ち行列処理中の協 る、他方のプロセッサはそのわち行列にアクセス できないこと、終ち行列処理がなったとしても、 一度にソフト可能なデータ数は1回に振られるた の、処理の高速化に割約を受けることとなどの関節 点があった。

《発明の目的》

(

この発照の目的は、大型のデータを挟すする必 質がある場合にも、共有アドレス空間か少なくて 済み、また特も行列処型のために複雑なソフトウ エアが不要であり、また共有アドレス空間に対し で組分のプロセッサが同時にデクセスを行なうこ とができ、さらに複数のデータの変を向ータイ ミングで行い得るようにしたプロセッサ間結合方 式を提供することにある。

《発明の構成と効果》 この発明は上記の自的を選成するために、第1

この発明は上記の目的を選属するために、第1 のプロセッサシステムと第2のプロセッサシステムとの間に2以上のデータを並列状態のままで所定段数化サシフト可能なFIFOメモリを設け、

垓FIFOメモリを適宜にシフトさせることに より、第1のプロセッサンステムから第2のプロ セッサシステムへと2以上のデータを並列かつ評 同期に転送することを特徴とするものである。

に対して相方のプロセッサが同時にアクセスを行 なうことができ、さらに複数のデータの投受を同 ータイミングで行い得るという効果がある。

- 3 -

《変施例の説明》

第1回は、本発明に係わるプロセッサ関結合方式の一実施引を示す回路四、第2A図〜第2G図はその動作説明図である。

この例では、プロセッサAからプロセッサBに 対し、2個の1パイトデータをF1F0メモリ3 を介して観送するようにしている。

すなわち、第1回において、プロセッサAのシステムバス1AとプロセッサBのシステムバス1Bとの間には、2個の1バイトデータを並列状態の出まで2段シスト可能なFIFOメモリ3が段けられている。

このFIFOメモリ3の入力側各データボート には17パト構成からなるラッティA,5Aが鉄 括されており、これらのラッティA,5Aにはプ ロセッサAのアドレス空間内のアドレスが割り付 けられている。 また、FIFOメモリ3の出力側をデータボートには肉様にして2個のラッチ4B、5Bが接続されており、これらのラッチ4B、5Bにも肉迷 にして、プロセッサBのアドレス空間内のアドレスが割り掛けられている。

爾込制御監路名Aは、電路間ラッチ4A、5A に対するプロセッサ人からのテータ製込みおよび 車路間ラッチ4A、5AからF1FOメモリ3的 ヘのテータ生込みを削削するもので、超込前ラッ チ4A、5Aが満杯になるとともに、そのデータ は喜込ポインタ「Aで売されるF1FOメモリ3 内のエリアへと自動的た関心され、同時にラッチ 4A、5Aはボタリアされる。

旅出物関語SBは、FIFOメモリ3から旅 出側ラッチ4B、5Bに対するデータ際以上を制 脚するもので、洗出刺ラッチ4B、5Bが空にな ると、自動物に依比ボインタ 7Bで示されるFI FOメモリ3内のエリアから、2個のパイトデー タを誘出し、これを抵出削ラッチ4B、5Bに違 込むようになられている。 次に、以上の構成よりなるシステムの動作を、 第2A図~第2G図を容領しながら説明する。

第2 A回はリセット直接の状態を示すもので、 この状態では普込ポインタの内容と説出ポインタ の内容とは同一であり、また個込即ラッチ4 A. 5 A およで挤出側ラッチ4 B. 5 B B をれぞれ季 クリアされている。

この状態において、プロセッサA例から順次1 銀ずつ1パイトデータの審込処理を行なうと、変 2 日因および第2 C図に示されるように、富込明 前回路6Aの作用によって、2 図の 1パイトデー タはラッチ4A、5Aと順次接込まれる。

第2〇回に示されるように、ブッチ4A、5A が相方起込れて重込回フッチが全て調杯となる と、電込制の図6Aの作用によって、ファナ4 A、5Aのデータは、自動的に電込ポインタ TA で示されるFIFOメモリ3内のエリアへと、第 2D回に示されるように書込まれ、そのモフッチ 4A、5Aの内容は電クリアされる。

また、在込ポインタ7Aの内容は、FIFOメ - 7 ー

与えられると、成出ポインタ7日で撤定されるF IFOメモリ3内のデータは、統出側線回路6日 の作用によって、放出側の2個のラッチ4日、5 日へと成出され、以後これらのデータはプロセッ サ内側で被取ることができる。

このように未定数列回路では、2個の「バイト データを並列状態のままで2度にシフトさせ、ブ ロセッサム類か5プロセッサら到のと毛弦させる ことができ、この原プロセッサへ側および日前で 治容するアドレス空間は2パイトであるにも前ら ボ、バッファ空間としてはF1F0メディストよ る4パイト分を変集することができる。

そして、このバッファリング空間の大きざは、 ドIFのメモリ3のシフト段数によって任意に増 加することができ、従来の共育メモリ方式のよう た、プロセッサA創またはB側のアドレス空間に よって、制度されることはなくなる。

また、2以上のデータを並列状態のままでA樹からB樹へと転送できるため、例えば2バイト株成および4バイト構成の命令等を転送する場合に、

モリ3内の次に包込まれるベきエリアを示すこと となる。

このとき、日間の知识方式によっては、日が味 出すことのできるデータがFIFOメモリ内に準 値できたことを示す回路(割込発生回路など)を 物作させても良い。

すなわち、第2日図に示されるように、8 第で 2 間の1 バイトデータをともに下1 F O メモリ3 から取出すことが可能であるということは、成出 第のラッチ4 B・5日へ既に格勢されているとい うことを意味する。

一方、第2D回の状態において、人間からさら に2回の1パイトアータを、第2F回に示される ように、ラッチ4人、5人へを扱わした。由込別 関関階6人では雷込間ラッチが関杯になったこと を検出し、第2日配子されるように、新たな2 個の1パイトデータは、南込みインタイスに示さ れるFIFOメモリ3内のエリアへと用込まれ、 同時に第立対ラッチム、5人は零ランでれる 第20回の状態において、日数から南出得か

- 8 -

プロセッサの処理遊校を向上させることができる。 第3回は他の実施祭を示すもので、この間では チェブ外データバス幅6ビット、チップ内データ パス幅6ビット(8/8)のマイクロブロセット M06809と、チップがデータバス領6ビット、 チップ内データバス幅18ビット(8/16)の マイクロブロセッサに80188を本方式により 時台に本句のである。

両名を括合するためのFIFOメモリとしては、 1パイト×512歳のFIFOメモリチップ(例 えば、インテグレイテッド デバイス テクノロ ツー放IDT72018/L, IDT72028 / L等)を片方向について2048観景度し、そ れを数方角能にそれぞれ景度している。

従って、双方向について2048×612×2 - 2Mパイトの共将メモリを持つことになる。 しかも、この大容量共将メモリは、MC680 9マイクロプロセッサのアドレス空間64Kパイ

9マイクロプロセッサのアドレス空間64Kパイトを大幅に上回るものであるにも拘らす、MC6 809のアドレス空間の中では、4Kパイトしか 使用していない。

すなわち、アドレス空間の中でわずか4Kパイトを双方向のFIF09に胡当てることによって、 あたかも2Mパイトの共有パイトを持つかの如き 効果を摂ている。

第4回は、プロセッサAからプロセッサBへ参 動するFIFOメモリの制御における処理の流れ を示すフローチャートである。

この例では、逆信データの排入例に512級の キューが一杯でないことを示す「挿入可フラグ」 を設ける一方、受信データの促出側ではFIFO メモリ内に交信データ符りの場合に、FIFOメ モリからプロセッサBへ割込みが充生する回路を 設けている。

このように本実施例によれば、プロセッサAか ラブロセッサBへと大量のデータを、少ないアド レス空間の占有でしかも並列に転送することがで を、同時に逆方向の転送も行なうことができるわ けである。

4. 密面の間単な説明

第1回は本発明に成わるプロセッサ関係合方式 の一変技術を示す回窓図、第2人間~第2人間~第2人間~第2人間~第2人間~第2世界 回路的の動作を示す規制型、第3世間へ第4間は同窓施所の 送受傷制型を示すプローチャート、第5回かよび 第6回は従来のプロセッサ開始合方式を示すメモ リマップである。

1A、1B…システムパス

3--F[F0×モリ

4A, 5A…豊込朗ラッチ

4 B . 5 B …読出限ラッチ

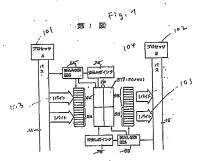
6A…告込制如回路 6B…能出到如回路

7A…留込ポインタ

7 B … 統出ポインタ B … 別込充生回路

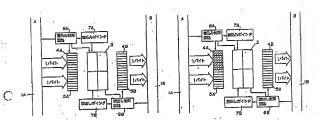
> 特許出版人 立石 電 級 株 式 会 社 代 迎 人 弁理士 和 田 成 則

> > _ 10 -



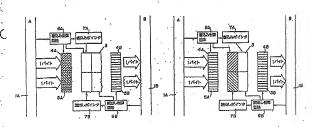
第24 図

第28 図



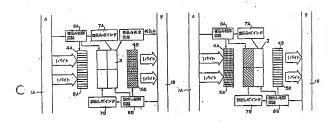
445 2 C 1871

第2D図

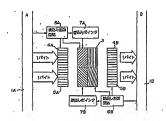


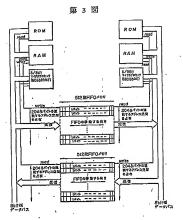
第2 医図

筬2F 図



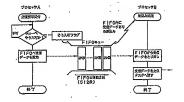
第26日



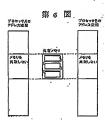


 \subset

幣 4 関







(公領国別) 等9時2第 17 40 0 2 の規定化よる補正の掲載 (部門以分) 第 6 8 8 7 1 5 4 5 7 1 8 日 (公開告号) 特納平1 - 4 4 5 7 1 (公開告号) 特納平1 - 4 4 5 7 1 (公開告号) 対納平1 - 4 4 5 7 1 (公開告号) 2 4 6 日 (出版場号) 特明昭 3 2 - 2 0 1 1 0 5 (国限利金分別第 5 版) (の日 1 3 2 0 0 8 4 0 - 5 1 5 7 0 5 1 2 3 0 0 8 4 0 - 5 1 3 3 3 4 0 5 9 7 2 - 9 8

一下海外的用工艺物

9成5年5月25日

特許厅長有殿 1. 郭孙或录

極間862-201105₩

2. 宛明の名称

プロセッサ開耕合袋院

3. 袖正をする岩

事件との関係 特許出願人

作、济 京都府京都市右京区花两上常明10首地

名 称 (294) オムロン株式会社 代本書 立石 毎年

4. 代 班 人 〒IDI

(i) 所 東京都千代明区内初期1丁目15条165

東光ビル6階 2508(8295)1480.1909

氏名 (8943) 非理士 和川 成明 系統

5. 採正命令の日付 (自発)

6. 補正の対象 明細音全文

7、核正の内容 明和弊令文を別紙の如く植正する。

明 報 1. 発明の名称

プロセッサ間結合装置

2. 特許請求の報期

第1のプロセッサと第2のプロセッサとの際に、 2以上のデータを進列状態のままであらかじめ定 めた欧敦だけシフト可信なF1F0メモリを設け、

10元FIFのメモリの人力側をデータボートには、前元第1のプロセッサのアドレス区間内のア ドレスを割り付け、

前記ド L F O メモリの出力間各デークポートに は、前記第2のプロセッサのアドレス区間内のア ドレスを割り付け、

前記F1F0メモリ内に保持されたデータモシフトさせることにより、第1のプロセッサから第 2のプロセッサへと2以上のデータを強列かつま

回期に転送することを特徴とする、 プロセッサ間納合装費。

3. 発明の詳細な説明

(発明の分野)

この知明は、マルケプロセッサシステムに好適 なプロセッサ間結合装置に関する。

(従来技能とその問題点)

従来、マルチプロセッサシステム等においてプ ロセッサ間を結合するには、第5関に示されるよ うに、我们メモリを開いて、周一の大きさのアド レス空間を複数のプロセッサで具有する方法が一 絞りである。

しかしながら、この最近内村メーリを担用する 場合にあっては、大乗のデータを内容する必要が ある場合には、尺付メモリや関係が、環境せわけ なるす、その結集的ガメモリや関ル外に使用可能 なで関かがない接続できない。人方のプラセ ッサカ大行メモリをアラセス中のと名には、他方 のプロセッサは大行メモリをアラセスでなない。 、一次パメモリや関係として保険できる最大関ルは、 プロセッサがアドレスできる原用は、プロセッサがアドレスできる原用は、 プロセッサがアドレスできる原用は、プロセッサがアドレスできる原用は、 プロセッサがアドレスできる原用は、プロセッサがアドレスできる原用は、

また、第6回に示されるように、共行メモリ内 において、待ち行列処理が表型な場合には、許ち 行列機能の大めの機材なリフトウェアが必要となった。 よこと、一分のプロセッサルを合ち行列処理の場合。 他がのプロセッサルを合ち行列にアッセス できないこと、待ち行列処理を行なったとしても、 一度にリフト可能なデータ数は1億に限られるだ か。 処理の高速化に制約を受けることなどの同道 点があった。

(新明の目的)

この期の目的は、大龍のデータを決有する。 数がある場合とも、共有アドレス空間が少なくて おみ、また物も行列及頭のために複数をソフトウ エアが不要であり、また実有アドレス空間に対し で削りがフロセッサが同時にアウエスを行なうる とができ、さら比較のデータの程を向ータイ し少がで作い得るようにしたプロセッサ間給合数 度を駆けすることにある。 (発別の構成を振動)

この勢明は上記の目的を達成するために、第1 のプロセッサと第2のプロセッサとの間にFIF 〇メモリを設け、FIFOメモリ内に保持された

ゲークをシフトさせることによって、第1のプロ セッサから第2のプロセッサへと2以上のデータ 全裁列かつ非国別に転送することを特徴とするも のである。

このような情報によれば、大母のテークを決ち する必要がある場合にも、飛行アドレス流動か なくて得み。また等を行列処理のために保険なソ フトウェアが不要であり、また実行アドレス党組 た対して初力のアロセッテが開発にアケセスを行 なうことができ、さらに提びデータの仮変を同 ータイ1ングで行い得るという効果がある。 (実施用の影響)

第1関は、本地別に係わるプロセッサ副結合校 版の一実統例を示す回結例、第2人間~第2G関 はその動作説別関である。

この例では、プロセッサAからプロセッサBに 対し、2個の1パイトデータをFIFOメモリ3 を介してを送するようにしている。

すなわち、第1回において、プロセッサAのシステムパス1 AとプロセッサBのシステムパス1

Bとの時には、2個の1パイトデータを並列状態 のままで2股シフト可能なドリドのメモリ3が数 けられている。

このF I F O メモリ3の人力的名データボート には1パイト研究からなるラッティA、5 A が接 まされており、これらのテッティA、5 A にはプ ロセッサAのアドレスが関内のアドレスが割り付 けられている。

また、P 1 F O メモリ 3 の也力面各データポートには同様にして名間のラッチ 4 B. 5 B が複核されており、これものラッチ 4 B. 5 B にも同様にして、プロセッサB のアドレス労闘内のアドレスが初り付けられている。

円込明直閉られは、常込明ラッチをA、5A に対するプロセッタルからのデータ形込みまだ。 育込期ラッタ4A、5AからFIFO(4号)3内 へのデータ市込みを付飾するもので、许込明ラッ チ4A、5Aが開下になるとともに、そのデータ は特込ポインタアAで原されるFIFOメモリ3 内のエリアー公日前的に作出され、同時にラッチ 4A, 5Aは零クリアされる。

統也的初回路6 Bは、F1FOメモリ3から設 山南ラッチ4 B、5 Bに以するデータ流出しる制 時かるもので、就出南ラッチ4 B、5 Bが欠はな ると、日勤的に抵加ポインタ7 Bで示されるF1 FOメモリ3内のエリアから、2個のパイトデー 夕を統出し、これを組織ラッチ4 B、5 Bに存 みむようになされている。

次に、以上の関係よりなるシステムの動作を、 第24回で許20回を倉屋しながら返明する。 第24回じゃト放送の状態を示すらので、 この状態では青込ポインクの内容と路山ポインタ の特定とは同一であり、また南込耐ラッチをA、 5 Aおよび途出動ラッチ4 B、5 Bはそれぞれ零 タリアがれている。

この状態において、プロセッサル領から層次1 仮すつ1パイトゲークの責込処理を行なうと、第 2 日間および第2 C関に示されように、改立 角面路6 Aの作用によって、2 端の1パイトゲー タはテッテな人、5 A と端次帯込まれる。

に 2回の1パイトデータを、別2戸屋に戻るれる ように、ラッケ4A、5人へ合資込むと、附込制 脚凹路も人で出待送前ラッケが関係になったと を被出し、第20回に示されるように、新たな2 回の1パイトデータは、市込ポインタ7人で示さ れる1月の2年リラ内のエリアへを再込まれ、 同時に再送前ラッケ4A、5人はボタリアされる。

第26四の吹擦において、B前から統出扱令が けえられると、流出ポインタ7Bで排定されるP IFOスをリ3円のデータは、統直制例開落6B の作用によって、液点側の2個のラッチェ8,5 Bへを排出され、以後これらのデータはプロセッ サヨがで変皮ることができる。

このように本実施制理格では、2個の1パイトデータを地別状態のままで20度にジフトさせ、プロセッサル側が5プロセッサ目倒へと転送をせることができ、この数プロセッサル解除よび日助す。行かってアン実別としては2パイトであるにも拘らず、パッファ実別としてはア1ドウイギーが多くなができる。

図なり限に乗されるように、ラッチ4人、5人 の相点 育込まれて非心網ラッナが全て資本となると、明込結婚問題も4の市即によって、ラッチ4人、5人のデータは、日頭的に専込ポインタ7人で弄されるド IPO/モリラ的のエリアへと、毎2別即に戻されるようと卑込され、その後ラッチ4人、5人の内容は乗りすですれる。

また、宵込ポインタ7Aの内容は、FIFOメ モリ3内の次に背込まれるべきエリアを示すこと となる。

このとき、B朝のデータ処理方法によっては、 Bが読出すことのできるデータがFIFOメモリ 内に準確できたことを示す回路(お込発集興路な ど)を懸作させてもない。

すなわち、第2B買に示されるように、B側で 2個の1パイトデータをともにF1POメモリ3 から取出すことが可能であるということは、統計 前のラッチ4 B、58へ版に格納されているとい うことを温度する。

一方、第2D図の状態において、A側からさら

そして、このパッファリング空間の大ききは、 FIFOメモリ3のシフト段数によって伝文に特 加することができ、既深の独行メモリを他用する 場合のように、プロセッサム制度たはB飼のアド レス空間によって、制度されることはなくなる。

レスで向によって、朝原されることはなくなる。 また、2月 10年 アタを他別状況の会さて入間 から3間へと転送できるため、例えば2ペイト請 或および4ペイト請求の合かがを転送する場合に、 第3両は他の変談別を示すらので、この件では ケップ外データバス格易ピャト、ケップリケーク なべ格8ピャト(3/8)のマイタロブロセッサ MC6809と、ケップ外データバス格局ピャト、 テップ内データバス様16ピット(8/16)の マイタロブロセッサ180188を外列の交談 で見た上がすめたもかである。

両者を結合するためのFIFOメモリとしては、 1パイト×512改のFIFOメモリチップ(例 えば、インテグレイテッド デバイス テクノコ ジー社IDT72018/L. JDT72028 /L等)を片方向について2048個設置し、それを双方向用にそれぞれ設置している。

競って、双方向について2048×512×2 - 2がパイトの共有メモリを持つことになる。 しかも、この大容量共有メモリは、MC680 9マイクロプロセッサのアドレス空間64Kパイ

トを大橋に上回るものであるにも拘らず、MC6 809のアドレス空間の中では、4Kパイトしか 使用していない。

すなわち、アドレス空間の中でわずか4Kパイトを投方向のF1F09に利当てることによって、 あたかも2Mパイトの共有パイトを持つかの如き

第4 例は、プロセッサルからプロセッサBへ移 動するF1F0メモリの側角における処理の流れ を示すフローチャートである。

この例では、送信データの様人側に5122の キューが一体でないことを示す「卵人可フラグ」 を設ける一方、受信データの取血側ではF1FU メモリ内に受信データ行りの場合に、F1FOメ モリからプロセッサBへ関込みが洗集する回路を なけている。

このように本実施判によれば、プロセッサAからプロセッサ8へと大阪のデータを、少ないアドレスや間の占有でしかも戦別に転送することができる。 同時に進方向の転送も行なうことができるわけである。

4、 四面の簡単な説明

第1即は本場明に関わるプロセッサ開始の意外 の一気海町を示す回路両、第2 A 図~第2 G 環は 阿国路の野化を示す短期限、第3 図は水界町の総 の実施例を示す短點両、第4 同は同次地質の必受 信制取を示すフローチャート、第5 四数まび前ら 関は実来のプロセッサ店のの方法を示すメモリマ ップである。

1 ハ. 1B…システムパス

3…FIFOメモリ 4A、5A…宵込倒ラッチ

4 B、5 B…統山側テッチ 6 A…普込制御屋路

6 B … 旅出制御回路 7 A … 中込ポインタ 7 B … 城山ポインタ 8 … 割込効生回路

効果を得ている。

特許山崩人 オムロン株式会社 代 別 人 和 川 成 別